

Résumé Cours

Rédigé par Diana Amar

Systèmes À Microprocesseurs

2^{ème} EM

Semestre 1

Veuillez respecter l'auteur de ce document. Droits de reproduction et de diffusion réservés.

Systemes H Microphocesseurs:	
1 - des mades d'adressage:	
2- Addressage litéral:	
Exemple: moules ox 25.	
s-Addressage direct:	
Ette addressage fait appel à deux registres: FSR et INDF.	
- Calabata PM Will blocker Garage	7.
ensure nous accédons à cette @ pointe par le régistre INDF.	
ensure nous accedons à cette de pointe, pon modifie FSR. - Quand on veul modifier la case memoire pointée, en modifie FSR. - Si on veul accèder au contenu de la cour pointée son accède via INDF.	
- The state of the	
Pent A TRISA and LATA Registers:	
Port A, TRISA and LATA Registers:	
TRISA: spicific si pour est die	
= 0: sortie	2
= 1: entrée A la mise de tension, les entrées/sorties sont configuées par de faut comme	1.
entrée.	tre,
Il faut toujours (traine: Orf port A can port A se censarie	03
12 RAM, et peut contenir une valeur aléatoire) ou det tart.	ine
Quand on veux écrire sur un port (conféigurer comme source), c.	
A'la mix de tension, les entres sources sources sources de port A si on veut le configurer comme son entrée. Yh faut toujours initialiser le port A si on veut le configurer comme son c'est-à-dire il font écrire: dref port A (car port A se retrouve la RAM, et peut contenir une valeur aléctoire) ou dre lat A. 12 RAM, et peut contenir une valeur aléctoire ou dre lat A. Quand on veut écrire sur un port (configurer comme sontie), il faut écrit dans LATA, et lire ovec Port A.	
POUL A RAG RAS RAY RAS RAY RAY RAY RAY	
LATA LATAG LATAS LATAS LATAS LATAS LATAS LATAS LATAS	
TRISA RISAY	

b) TRISC, LATC, POLC: Hême que précédemment. C) POUB, LATE, TRISB: En plus des fonctionnalités déjai écrités de a); - A' la mise de tension: RB4-Rb0 sont configurés commune entrées analogiques tandio que RB7-RB5 sont configurés comme entrés numériques. pour configurer Rby-Rbo comme entrées numériques, on écrit: config pladen = ofb. - Chaque pin du Port B possède une résistance interne du Pull-up qui doisont être achivés si le post B est configuré comme entrée: Ces résistances sont par défaut inactifs si le portest configué en - des pins RB7-RB4 sont des pins qui pouvent couser une interruption, s'ils sont configurés domme entrées. d'interruption au riveau de ces pens s'effectue s'il ya un changement d'état. d'interruption peut réveiller le uc du Sleep Mode, et le flag RBIF du registre Inten est à 1 Pour lire un port : ex: mort PortB, W. 3. Les interruptions: - Registres utilisés pour contrôles les interruptions: RCON, INTCON, INTCONS, INTCONS, PIA1, PIRS, PIE1, PIES, TPR1, TPR2. - Les sources d'interruption possède 3 bits de contrôle - flag bit: pour indiquer qu'une interruption a eu lieu - Enable bit: qui la assurer au programme d'exécution de passer au programme de passer au programme d'exécution de passer au programme Priority bit: pour choisir le riveau de priorité. * da priorité d'une interruption est "enabled" en mettant IPEN bit a'1 (RCON, 7).

)Si IPEN = 1: 'Il y a deux bits qui vont activer les interruptions d'une marrière globale. bit 7 du Intern: GIEH: enables all high privily interrupts bit 6 du Intern: GIEL: enables all Low priority interrupts Addresse du programme d'interruption de haute priorité: 0x08h. TPTU 0 " de basse priorifé: OXIBR. 2Si TPEN=0 bit 7 du Introm: GIE: global interrupt en able = 1: enables all unmasked interrupto bil 6 du Intom: PEIE enables/disables all peripheral pour Toutes les interruptions, le programme d'interruption se situe à Pla oxobh. Il fant de le programme d'interruption effacer le "Interrupt flag bit". - Quand il ya interruption au niveau du port B (Rb7-Rb4: changement diétat), le flag RBIF (Introm,0) est mis à 1. Dans le programme d'interruption, il faut lire le port B et ensuite mettre RBIF à 0; sinon ce blag resterait à 1. INTON Register: page 95. 7 6 5 4 3 2 1 00 bir 7: GIE/GIEH. bitG: PETE/ GTEL bits: THROIE: THRO overflow interrupt enable but = 1 enables the Timero averflow interrupt =0 disables " "

```
bit 4: INTOIE: INTO External Interrupt enable bit = 1 enables the INTO External Interrupt
         =0 disables
       RBIE. RB Port Change Interrupt enable but
bit3:
        = 1 enables
        =0 disables
        THROIF: Timero overflow interrupt flag but
bira:
        = 1 THRO Ras overflowed
       =0 " didnot overflow.
       INTOIF: INTO External Interrupt flag bit
bir 1:
       = 1 external interrupt occurred.
             4 didn't occur.
bito: RBIF: RB port change Interrupt flag bit

= 1 At least one of 9187-RB4 pino changed state
       =0 , aucum,
 Interna Rogister - page 36
bit7: RBPLI: pull-up enable bit
bit6: INTEDGO: external interrupt o Edge Select bit (pour Into)
      = 1 Interrupt on rising edge.
bit 5: INTEDG1 (Inte)

bit 4: INTEDG2 (Inte)
bita: THROIP. THRO overflow privity, bit
        =1 High priority.
bito: RbIP: Rb port change Interrupt priority but
        =1 High priority.
```

```
- Introm 3 Pregister page 97
bit7: INTA External interrupt priority bit
     =0 Low.
bits: INTAIP.
BUTATE:
      =1 enables the INTA external interrupt.
     20 disables.
W3: INTITE.
bits: INT&IF: Blag but
      =1: INT2 external interrupt occurred
      =0 not occurred.
bito: INTAIF.
PIR1 Register: Peripheral interrupt Repust (flag) Register:
      PSPIF: parallel Slave port Read/Write Interrupt flag bit = 1 A read on a write operation has taken phase.
              No lead or write.
       ADIF: AID converter Interrupt flag bit
bit6:
             AID conversion completed.
                 is not complete.
       RCIF: ELISART Preclive Interrupt Blay but
              the EUSART receive buffer, PCREG is fall (cleaned when
bit 5:
                 ACREG is read)
               the EUSART roceive buffer is empty
       =0
bity: TXIF: ELISART Transmit Interrupt flag bit:
             ELISART Transmit buffer , TXREG is empty (cleared when
                   TXREG is written)
             ELISART Transmit buffer is full.
      =0
```

PIRA Register - page 99 PIE. Progister: pai pheral interrupt en Able Pregister: page 100-101 IPA Progisters: peripheral interrupt priority Progister page 102-103 INTO, IN1, INT2 pin Interrupto: Those pino are edge-triggered. if the corresponding INTEDGR bit in the INTCON 2 register is set (=1), the interrupt is triggered by a rising edge. When a valid edge appears on this pin, the corresponding flag bit is set. INTO is always a high priority interrupt Source. 4- Les Timers: Timer 0 peut Bonctionner comme un timer ou un compteur de 8 oude 16 bits. - TOCON Register: Timero control Plexister: bit7: TTROON: Timero On/OFF control bit TOBbit: Timero 8-bit/16 bit control bit configured as an 8-bit Timer Counter bits: TOCS: Timero clock Source Select bit Transition on Tock I pin (pin 6: portRA4) = 1 Internal Instruction eyele clock (CLKO). =0 TOSE: Timer O source edge select but Increment on high-to-low transition on TOCK I pin billy: Increment " low-to-high " = 1 =0 Timero prescalera assignement but PSA: bir3 presider not assigned = 1 " is assigned. = 0

bit 2-0: TOPS2-TOPSO: Timero prescaler select bit prescale value. 111-1/256 110=1/128 101= 1/64 100= 1/32 011 = 4/16. 010=1/8 001=1/4 000=1/2. Si TOCS=1-) made compleus. TOCS = 0 - mode Temporisateur. - Pour un timer de 16 bits, il faut Écrire dans THROL et THAOH. - On peut modifier le temps pour l'apuelle on peut avoir interraption du au Timer. Si on veux par exemple avoir une interription après 56 eycles, il faut mettre 200 de le bus d'addresses et l'envoys au Timer (Bbits). (256-56=200). - Temps maximal qu'en peut compter avec 8 bits: 4 prése. (256-TimeroLoad) = 7 Pour lire et écrire dans la mémoire EE prom, en a besoin de 5 régistres: * EEcon 1 * EE con 2 * EE DATA EEADA register: utilisé pour addresser la mémoire EEprom pour les opérations de lecture et d'écriture. Nous allons préciser 1/0 concernée par l'opération de lecture ou d'évriture en coprom. - EECON1 et EECON2 Registers: pour accéder à la mémoire EEprom. EE CON1 - Plegister: bit 7: EEPGD: Flash Memory or Data EEprom Hemory Solect bit Access Flash Hermony Acuss Dala EEpromi

bit 6: CFGS: Flash Program / Data EEpnom or Comfiguration Solect bit: Om met bit 7 of 6 do. bit 5 et 4: mon utilisable. bit3: WRERA: Blash Program/Data Esprom error Flag bit 1= A write operation is terminated (d'opération d'écriture à été interrompue). =0 d'opération d'écriture est terminée. WREN: write Enable bit = 1 permission d'écrire de Flesh Program/ Espron. bita: =0 intendit d'écrire bit 1 WA: Write control bit WA = 1: envoyer la demande d'écriture (WR passe automatiquement à 0 quand l'écriture se termine) bito: RD: read control bit. =1 read enable. = 0 Does not initiate an Exprom Read. - Reading the Data EEprom Homory: O write the address to the EEADR register @ clear the EEPGD control bit (EECON1,7) 3 Set control bit, RD (EECON1,0) (4) Clear the CFGS bit (EECON1,6) - Writing to the Data EEprom Memory: (1) The address must be written to the EEADA register 2 Data must be written to the EEDATA register 3 We have to write the following sequence: morry 0x56R move EECON2 move ox AAR. mover EECONS BSF EECONI, WA.

- Les interruptions durant cette procédure doivent être désactivées. Procédure DB: pour écreire par défaut dans la mémoire C'est une directive La rue @ du Data EEprom: 0xF00000 on écrit: org 0x F00000 DB 0x00: 00 renait écrite à 1'@ 0. DB 0x03: 0x03 " " à 1'0 a. 6_ Transmission série synchrone: The EUSAAT can be configured as a full-duplex asynchronous system that can communicate with peripheral devices such as pas. It can also be configured as a half duplex synchronous system that can communicate with peripheral devices such as AID on DIA integrated circuits, - Pour réaliser une transmission série synchrone: If faut que les deux soient relies à la même référence (la masse). 18 fant avoir en plus un interfasage pour connecter le PC et le up PS232. car le PC peut avoir une alimentation de ± 5 à ± 151. - TXSTA: Transmit status and control Prejustar: mon utilisé, on le met à 0 CRSC=0 = 1 selects 9 bit transmission (si on veut géners par exemple le bit bit 7: TX9: 9-bit Transmit Enable bit bir6: 8 bit + ransmussion. (Dans ce cas, on ne peut pas utilisée le 8 ème bit comme bit de parité). TKEN: Transmit enable bit 605: = 1 Transmit enabled =0 " disabled.

```
bity: Sync: ELISART Made Select bit:
       =1 syndronous mode
       = 0 asynchronous "
bir3: SENDB = 'o'.
bit 2: BAGH: High Bourd Rate Select but
     also & signaux ne sont pas à la même fréquence et selon l'errour, on
     choisirera si BGGH = 1/1 ou 10!
     Asynchionous Mode: = 1 High Speed.
bit 1: THRT: Transmit Shift Register Status bit:
        = 1 TSR empty. (TSR: registre de Transmission)
        =0 TSR FW.
bito: TX9D: 91h bit of Transmit Data
    Pour qu'on puisse envoyer de nouveau bit, il faut attendre que TSP
    Soit vide.
* RCSTA: Preceive status and control Prejister:
      = 1 enabled (configures RX/DT and TX/CK pins as suial partpins)
bit7: SPEN: serial port enable but
       =0 disabled.
bit 6: PX9: 9-bit Pleceive Enable bit
       = 1 selects 9-bit reception
      =0 11 8-11
bitu: CREN: Continuous Receive Enable bit
    - Asynchronous mode:
       = 1 enables receivers
       =0 disables receiver.
      = 1 Enables continuous receive until enabil bit CREN is cleaned
    - Synchronous mode
      = 0 Disables "
 bit3: ADDEN=O.
 bita: FERR: Graming error bit
        = 1 Framing overor
        = 0 No error.
```

bit 1: OERA: Overrum error bit Mecevoir un caractère plus vite que le traitement. Stil y a un over run, le poit série est bloqué; il faut mettre CRENA O puis à 1 pour trendre le poit serie enable. bito: RX9D: 9th bit of Received Data * BALIDCON: Bound Prote control Pregister: Om s'interruse seulement au bit 3 bit3: RBG-16: 16-bit band Rate Register Enable bit: =1 16-bit Baud Rate Generator-SPBRGH and SPBRG =0 8-bit 11 11 11 -SPBAG. Table 18-3-Band Prates for Asynchronous Modes: SPRG=64 (en décimal) FOSC = 404Hz error = 0, 16% Si Boud Plate = 9,6K - Interruption du à EUSART. bit 5: RCIF: EUSART Receive Interrupt flag bit The ELISART Paceive buffer, RCREG is full (coleaned when *PIR1_ = 1 RCREG is read) receive buffer is empty. EUSAAT Transmit Interrupt Blag bit
The EUSAAT transmit buffer, TRAEG is empty =0 TXIF: bity: is full =0 RCIE: Receive interrupt enable bit PIE1: bil 5: =1 enables =0 disables. TXTE. (bits) RCIP: receive interrupt priority bit bit 4: IPRA: High priority Low priority TXIP biry:

* Pour les serial ports, il faut les configuer comme entrée. TrisC, 6 - 1 (Tx) Trisc, 7 - 1 (RN). 7- Les CAN: conversions Analogiques Numériques: - de CAN est à 10 bits, donc le temps total de conversion est en D'après le pin diagram, on remaique que les pins analogiques sont.

ANO (pina) - ANI (pin3) - ANA (pin4) - ANI (pin4) - ANI (pin 25)
ANO (pina) - ANI (pin3) - ANI (pin34) - ANIO (pin22) - ANII (pin 25)
ANB (pin 23) - ANI (pin 34) - ANIO (pin22) - ANII (pin 25) -ANIA (pin al). + ADcomo Progister: Analog channel Select bits. bitaets: à loi 645-9: CHS3: CHSO ONA 0000 ANY 0001 ANZ 0040 AN3 1400 AN4 0400 AN8 1000 AN9 1001 ANJO 1010 ANII 1011 ANIS. AID conversi on Status bit 1400 GO/ DONE : bil 1: 1 = A/D conversion in progress 0 = la conversion est terminée. A' partir de cette instant, on peut when ADON=1. récupérer les données. = 1 converter module is enabled. I Sion voul ou non = 0 // is disabled I whilise le CAN interne bito:

```
* ADcon 1 Register.
bit 5: VCFG 1: voltage Reference configuration bit (VAB-)

= 1 Vref - (AN2) (on utilise la tension de référence appliqué en AN2)
W706: 20.
bily: VCFGO: (Vnef+)
     = 1 Unel+ (AN3)
      =0 VDD.
        comment configuerer les ports comme analogiques ou numériques.
bit3-0: AID Port configuration bit.
* ADcons Register:
617: ADFM: AID Plexult Format Sched bit:
        = 1 Right Justified.
        = 0 Left Justified
        ACOTS: ACOTO: AID Acquisition Time selectbit.
        à 0.
bir6:
bit5-3:
           111 = 80 TAD
           110 = 16 TAD
           101 = 12TAD
           100= BTAD
            011 = 6 TAD
            010 = 4TAD
            001 = 2 TAD
                            conversion clock select bits.
            000 = 0 TAD .
         111 = FRC (clock derived from AID RC oscillator)
PM 3-0:
         110 = Food | 64
          101= Fosc/16
          011 = FAC (clock derived from AID RC escillater)
          100 = Fesc /4
          010 = Fesc/32
           001 = Fooc 18.
           000 = Fesc/2
```

- The Bollowing steps should be followed to perform an AID conversion: 1 - Configure the AID module - configure amalog pino, voltage reference and digital I/O - Select AID input channel (ADCONO) - select AID acquisition time (ADrona) - select AID conversion clock (AD con 2) -Turn on AID module (ADcono). 2-configure AID interrupt if desired: - clear ADIF bit - Set ADIE bit 3 - wait the required acquisition time (if required) 4-Start conversion. - Set GO/DONE bit (ADCONO Register) 5- Wait for AID conversion to complete by either:
- polling for the GOI DONE bit to be cleared Or waiting for the AID interrupt 6-Read AID result registers (ADRESH: ADRESL); clear bit ADIF; if required. 7 - A minimum wait OF a TAD is required before the next acquistion - Calcul du temps d'acquicition minimal. Regarder table 19-1. - Configuing Analog port pins: - des ports dont on a bessoin qu'ils soient configués commune entrée analogique: Trais à 1. - The GO/DONE bit should not be set in the same instruction that turns on the AID.

```
au niveau de ces éléments)
 Si GIE=0: le jec continue l'exécution à partir de l'instruction qui
    Suit l'instruction SLeep (pas besoin d'interruptions)
 Tandis que si GIE=1, il va exécuter une instruction qui suit le skeep
  et puis aller ou programme d'interrytion.
_ a bits de RCON: PD: parse à o au mode sleep (power Down)
               et to passe a O
11_ Les escillateurs (voircours)
12 - Les comparakurs:
Pour configuer les comparateurs, on a besain du régistre CHCON.
* CHCON Register:
            Caout Cloub cains clim CIS CM2 CM1 CMO
bit 7: Caout: comparator 2 Output bit (sortie du 2 eme comparteur)
                                         if CzinV = 1
    if CainV=0.
                                         = 1 Cavin LCavin
     = 1 -> Cavin > Cavin
                                         = O Cavint > Cavin
     = O Cainvt < Cavin
616: C1 out (sortie du 1er comparateur)
    même qu'avant avec Cinu.
     Cainv: Output invorsion bit (on peut inverser la sortie)
      = 1 da sortie Co est inversée
bil 5:
      =0 " " " n'est pas inverse
क्रोपः
       CIS: comparator input switch:
12/3:
      Si CH 2: CHO=HO
                                       (RA3/AN3/Vreft)
      = 1 -> CIVIN- est commedé à
                                       (RAZ/ANZ) web-10 viels)
               C2 VIN-11 11 11
                                       (RAOJANO)
               C1 VIN- 11 /1 /1
                                        (RALLANI)
      = 0
               C2 VIN- 1, 1
```

52 8-0: CH2-CHO: pour choisi quelle mode Voir les configurations des différents modes. Interruption du aux comparatous: CHIF bit (PIR 2,6); le flag est à 1 à chaque fois oui il y a changement de la valeur de sortie des comparateur. - CMIE (piea, 6) - PETE (intern, 6) 13_ Génération de tension de l'éférence (ex: pour les comparateurs) CVACON Register: = 1 Wief circuit powered on (on veut utiliser ce mode) bit 7: CVREN: " down. la tension de référence est connectée à une pâte externe bil6: CVROE: (RA9/AN2/Vrob-1CVrob pin). la tension n'est pas connectée à une pate externe =0 le comparateur va de 0 à 0,667 CVRSAC avec 24. (CVASCAC = VCC-VSS) 0,25 CVRSCRC to 0,75 CVRSCRC bit4: CVRSS.: choisir la source reference source: CVASCC = Viel - Viel " CVASRC = VDD -NSS. bit 30: pour choisir le nœud qui nous interesse Voir Figure 8-1 CVR3: CVRO

9. Watchdog Timer Tour configurer le watchdog Timer: - Configation bit 4-1: Watchdag Timer postscale Select buts 1111 = 1/32 768 1110 = 1/16384 config w dTpS=128. (Wordnown expire: 4msx128) 1101=1/8192 1100 = 1/4096 1011 = 1/2048 1010 = 1/1024 1001 = 1/512 1000 = 11.256 0111 = 1/128 0110=1/64 + Table water age 0101 = 1/32 0100=1/16 0011 = 118 2010=1/4 0001=1/2. 0000 = 1. bito: WDTEN: watchdog Timen Enable bit = 1 WDT enabled = 0 WDT disabled. - WOTCON Register: bito: SWDTEN: software controlled Watchday Timer Enable bit (Au cas où config w dr=ofb) =1: ON 10- Sleep Mode: - 3 sources qui pervent réveiller le uc: * le wdt; le wdrenérat normal va resetter le uc. * les interruptions: il famil que les interruptions sount permises d'une manière individuable pour le me se réveille (Par exemple: le CAN, PILISART Bondionnent au rythme de l'Rolloge principale. Donc pas d'interruptions

8-Flash Trogram Memory: Pour lire ou écrire de la mémoire de programme, il y a deux opérations qui sont permettre de déplacer les bytes entre la mémoire de programme et la RAM: * Table Read (TBLAD) * Table write (TBLWT) Ce transfert de données s'effectue à l'aide d'un registre de 8-bit (TABLAT) TBLAD* * Table Read Operation: Program Hemory Table Pointer TBLPTRLI TBLPTRH TBLPTRL TABLAT Table pointer register that parts to a byte in a program memory (@ où on vout like * Table Write operation. TBLWT* TBLATAL TBLATAH TBLATAL TABLAT Chipper GOSTOW. I_ 1 essai!

include < p18F2520.inc>

Var equ OXIAF;

Varleque Ox 100;

org oxoo;

bra debut;

ong 0x 100;

mould oxo1

movew ox99

moral var

mov wf var, banked

moval vars, a

movuf 0x102

- spécifier le UP.

- en bank O (Access Bank)

- en bank 1 (Bank etnen pas Access Bank)

- spécifier le vecteur reset (à la suite de cette ligne, la la instruction doit être à 0x00)

Leve instruction: debut estum Label, pour

éviter d'écrire des @. - de but se trouve à gauche de cette ligne.

- (OKO1) est miods BSA.

. W 26 sim to (CPXO) -

- Le contenu de W (0x99) est placé d's le file

register à l'adresse OXIAF.

Codressage directe, pas besoin du BSA convan

ordren Access Bank).

- W contient (0x99), il est forcé de mottre cotte valeur non pas als access bank. The charche le combine du BSR (0x01) et va écrire dans

(OX 17F) . (OX99) *1

a: access bank. Pas besoin du BSH, on s'occupe seulement des 8 bits de l'instruction qui est 00. On metainsi le contenu de W

(0x99) à 10 0x00 du file régister +2

-(OK102) n'est pars en access bank. Om plend 8 bits de l'in struction (00000010) puis le

continu du BSR (0x01 -200000002) -

(00010000010=102h). On mora 102h

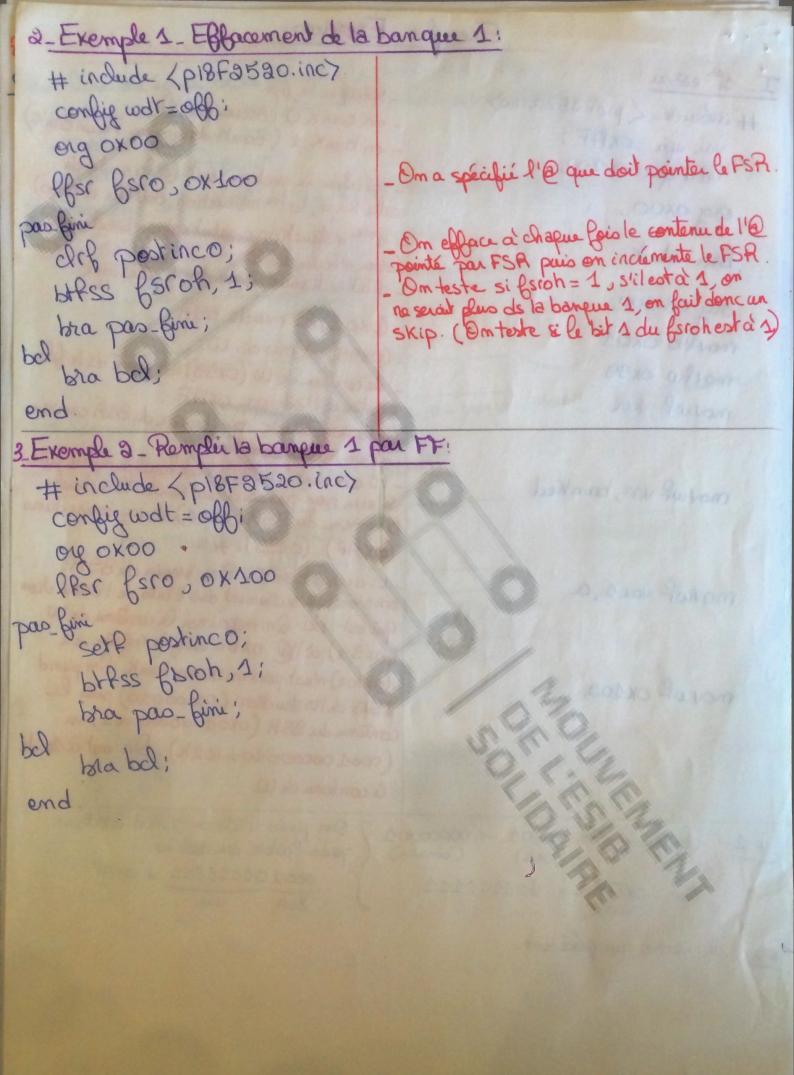
la contenu de W.

* 1: contenu du BSR OXO1 -> 00000001 (hexa) (binaire)

Van: OXIFF - 101111111

Om prend whats du BSA et 8 bits du paido Caible du ver => 00010111111 = 6x19

* 2: de même que précédent.



4_ A'chaque fois qu'on presse le bouton poussoir, on affiche sur Pafficheur 7 segments. 2 million RBO MC Total Justin include (p18f2520.in) config wet = of6; config pladen = off Van equ 0x00 or oxoo bra init On configur le port C comme sortie. init clrf late clif tisc pour activer la résistance du pull-up configuer le port B comme entré. bob infrom 2, 7 } écrire 0 en sortie du port c (sul'affichem) self hisb morlo p, 0041111 mover late dr & var OXO1 est mio dans W. on met 1 ds; petath; On veutaller à 10 moules oxo1 movwf pclath 100 (en hexa) de la mémoire de programme bit test & skip if clear : on est enhain de line bol btfsc pourb, o le ports. Si ports, o est do, l'instruction bra bel sivante est à santer. Donc à on appare sulebouton, le port b, o est à o alorson passe à l'instruction suisante. 6.0 inch var, f

movlu d'20' cpfsqt var, W

mor b var, w call affiche mor wh fate byfss parts, o bra \$1-2 bra bol org ox 100

soo. addwf polif soo retiw ox3F

204 retly 0x06

rether ox 56

rethw 0x4F

rethw 0x 66

rether oxed

rellw ox Pc

rulle ox P7

reller ox ff

rethw oxef

rather of 01000000

and within to the Anseline

Maria 12 Maria 1107 110 60

450 5 War all and Maria State Contract of the Contract of the

end.

compour le contenu de l'emplacement du data Memory

18' avec le contenu de W. si le contenu de var > à colui de W, on passe à l'instruction suivante

(skip if greater than).

mettre le contenu de vou dans W. (W contient 2

maintenant).

On met la valeur de w en sortie du port C su l'aff. On teste si le bito est à 1, le bouton poussoir est ralaché, sinon on revient au début du bel.

on revien à l'adresse précédédente

on modifie la valeur de PCL. da valeur du PCL doit être égal à 00 mais puiseur PC indique l'ê de l'instruction suivante alors PCL = 2; Ainsi PCL + W = 4. On parse à l'ê 104.

retourner au programme avec Une valour d's W (isi 6).

pour afficher 2.

Evine un programme qui permet de Transformer une lettre majuscule, cerite sur un virtual terminal, en minuscule, en appuyant sur enter. (1200 b/S)

include < p18F2520.inc7 config wdr = off.

org 0x00 brainit

bra receive

org ox 1.8
movles d'13'
cpf seq infdo
bra comv
moust hireg
lfsr fsro, 0x00
bcf pie1, txie
retbie

Cour

move d'32'
addwf postinco, w
movwf txreg
reffie

racive

mouth ricrez, postinco mouth d'13' cpfseq ricrez retfie lfsr fsro, 0x00 cpfseq indfo. bra transmit on place le contenu de screg de l'é pointé par FSR puis on innémente le ASR. On place 13 dans w. (qui représenté enter") SKip if rcrèg = 13

XII AD Proposition

A Sound

Si on a topé "ente" son le positionne le pointeur. . sKip if ind bo = 13 (valeur pointé par FSR)

On retourse au programme in

.sion

transmit:

morle d'32'
addwf postinco, w
morwf txreg
retfie

init

lfsr fsro, oxoo
bsf trisc, 6
movle oxay
mover txsta
mover sporg
mover sporg
mover resta
bsf reem, 7
mover pied
bcf ipt, txip
mover inten

bol

Isra bol

- On active les interruptions dûs à la transmission.

On place 32 ds W. (pour faire la conversion)

- de contenu de Westajouté à postinc o (où on a nuis le cara taire) et le résultat est place ds W.

- On place le contenu de W ds le (equistre de trans (bubber de Trans mission)

_ @ que doit pointer le FSR.

Configurer le port C (ACG) comme entrée 1, EXSTA: 00100100

On met le boudien de Sporg.

BRG16=0, Asynchronous mode, BRGH=1.

donc sporg=207 pour 6=4MHz.

ACSTA: 10010000

- on désigne qu'en a a niveaux de présité

Joie 1: 0010000 : activer l'interruption

Je maniere individuelle die à 12 réception

(Prante priorité)

-> interruption duc à 21 émission sousse priorité

11000000 0xc0